

日本国特許庁
JAPAN PATENT OFFICE

T. Hosoi
8/28/03
Q77108

10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 9月 2日
Date of Application:

出願番号 特願2002-256545
Application Number:

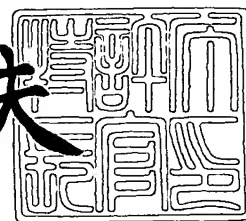
[ST. 10/C]: [JP 2002-256545]

出願人 日本電気株式会社
Applicant(s):

2003年 7月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3059631

【書類名】 特許願

【整理番号】 53209921

【あて先】 特許庁長官殿

【国際特許分類】 H04B 7/26

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 細井 俊克

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】明細書

【発明の名称】 携帯電話器およびその制御方法

【特許請求の範囲】

【請求項 1】 バスを介して揮発性記憶素子を共用する CPU と表示制御部、表示部を含む携帯電話装置において、

前記 CPU は可変同期信号によって同期を取って動作し、前記表示部と前記表示制御部は固定同期信号によって同期を取って動作することを特徴とする携帯電話装置。

【請求項 2】 前記可変同期信号は、操作者の操作や着呼が一定期間無いと通常の動作周波数より低い周波数にし、前記低い周波数の状態で操作者の操作や着呼があると通常の動作周波数に復帰することを特徴とする請求項 1 記載の携帯電話装置。

【請求項 3】 前記表示制御部は一定周期で自発的に前記揮発性記憶素子のデータを読み出すことを特徴とする請求項 1 または 2 のいずれか一つに記載の携帯電話装置。

【請求項 4】 前記表示部を照射する点灯及び消灯の切り替え可能な照射手段及び前記照射手段を制御する照射制御手段を有し、前記照射制御手段は一定期間経過後に照射手段の消灯を行う手段を含むことを特徴とする請求項 1 乃至 3 のいずれか一つに記載の携帯電話装置。

【請求項 5】 アプリケーション処理を行う通常処理ステップと、画面表示をリフレッシュする画面表示ステップと、外部入力の有無を判断する入力監視ステップと、前記入力監視ステップが外部入力アプリケーション処理を行う際の基準とする可変同期信号を変更する可変同期信号調整ステップと、前記通常処理ステップと前記画面表示ステップとが競合した時いずれが優先してバスを利用するか調整するアービトレーションステップとを含み、前記画面表示ステップが、バスを介して揮発性記憶素子に記憶された表示データを利用して画面表示処理を行う携帯電話装置の表示画面制御方法

【請求項 6】 前記アービトレーションステップは、前記画面表示ステップ

実行中前記入力監視ステップによって外部入力があったことを認識しても前記画面表示ステップを優先することを特徴とする請求項5記載の表示画面制御方法

【請求項7】 前記アービトレーションステップは、前記通常処理ステップ実行中前記画面表示ステップとの競合が発生したことを認識した場合前記画面表示ステップを優先することを特徴とする請求項5記載の表示画面制御方法。

【請求項8】 前記アービトレーションステップは、前記画面表示ステップ実行中との前記通常処理ステップ競合が発生したことを認識した場合前記画面表示ステップを優先することを特徴とする請求項5記載の表示画面制御方法

【請求項9】 前記可変同期信号調整ステップは、前記可変同期信号が高速の際前記入力監視ステップが一定期間外部入力無きことを認識すると前記可変同期信号を低速にし、前記可変同期信号が低速の際前記入力監視ステップによって外部入力があったことを認識すると前記可変同期信号を高速にすることを特徴とする請求項5記載の表示画面制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高周波数の同期クロックと低周波数の同期クロックを有する携帯電話装置における不使用時の消費電力の低減に関する。

【0002】

【従来の技術】

携帯電話装置は、本体に電池を内蔵し、電子回路が必要とする動作電力を供給する電池駆動型の電子通信機器である。

【0003】

携帯電話装置の分野においては、従来のPDC方式に代表される第2世代携帯電話からW-CDMA方式等の第3世代携帯電話への移行が行われつつある。メーカーに割り当てられた周波数を一定の帯域（チャンネル）に分割し、かつ1つのチャンネルを時分割することで同時接続性を担保する第二世代携帯電話と相違し、第3世代携帯電話はより多重化を図る目的で、拡散符号によって拡散された広い周波数帯を1チャンネルとして通信する符号分割多重方式を採用し、かつ、

フェージングによる通話品質の低下防止のために複数のフィンガー受信機から構成される RAKE 受信が用いられていることから、第2世代携帯電話に比べ電力消費が著しく高く、いわゆる待ち受け時間が短いという欠点が存在する。

【0004】

また、携帯電話装置一般では、端末に着呼やメールの受信が発生すると、鳴動装置によって操作者にその旨を伝達すると共に LCD（リキッドクリスタルディスプレイ）には発呼側の電話番号等の情報を表示し、将来操作者が LCD を見ることを期待して、「メール着信あり」等のステータスを表示することが一般的である。近時においては、単なる通話機能だけではなく LCD を主なインターフェイスとして動作するメーラやスケジューラ機能の付加、J A V A（TM）ヴァーチャルマシン、デジタルカメラの搭載、と言った高機能化により携帯電話装置の LCD への依存性は増加する一方で、LCD 自身のカラー化とも相まってその表示による電力消費量が大きくなっている。

【0005】

携帯電話装置に搭載される LCD には、LCD のコントローラ専用の表示用メモリを用意するのが一般的であり、表示データの更新が無い限り LCD にデータを転送しない構成を取る。しかし、かかる構成はメモリ総量が大きくなり、原価を押し上げるため、最近では LCD モジュールにメモリを搭載せず、CPU が直接アクセス可能なメモリを LCD と共用する方式に移行しつつある。このような表示構成の場合、LCD コントローラを介して一定周期でメモリから LCD にデータを転送する。携帯電話装置のように、実際に操作するよりも放置する時間の方が圧倒的に長い装置においては、放置時に LCD の駆動に用いるクロックよりはるかに高速なシステムクロックを用いてバスを動作させるのは電力消費量の面できわめて不利である。

【0006】

さらに、携帯用ゲーム器等の不使用时には電源を切断する電子機器と異なり、携帯電話装置は他者からの送話の待ち受けを行うため、不使用时でも基本的には電源が投入されつづける。また、カーナビゲーションシステムのように外部電源に頼ることもできず、電力消費量の問題は他の機器に比して深刻である。

【0007】

これらの電力消費量の低減要請に応えるために、色々な解決方法が従来提案されている。

【0008】

例えば、折り畳み型携帯電話装置については、筐体が折り畳まれた状態ではLCDを確認する事は出来ないことから、LCDへの電力の供給をストップし、筐体を開けて始めてLCDの表示を開始することで、表示機会そのものを減少させる方法が一般的である。

【0009】

また、特開2001-345928号公報には、表示階調数を制御することでLCDや表示メモリへのデータ転送量を削減する方法が開示されている。

【0010】

更に、LCD側とCPU側の両方にメモリを搭載し、高速に描画が必要な場合には、CPU側のメモリを表示用メモリとして、高速な描画を要求しない場合にはLCD側のメモリを使用すると言うようなLCDが提案されている。

【0011】

【発明が解決しようとする課題】

しかしながら、筐体の開閉による表示画面のOn/Offは、物理的形状をスイッチとする折り畳み型携帯電話装置以外には転用の余地は狭く、スライド型携帯電話に適用余地を残す程度である。

【0012】

また、特開2001-345928号公報記載の方法では、表示階調数を変更することは、ソフトウェアの変更が多くなるという設計上の欠点がある。

【0013】

更に、LCD側とCPU側の両方にメモリを搭載すると表示用のメモリが2倍必要になり製品原価を押し上げると言う欠点が解消されず、また、LCDの動作クロック（ビデオクロック）のみの低下はシステム全体の消費電力に対して大きな効果を出すことは出来なかった。

【0014】

【課題を解決する手段】

本発明に係る携帯電話装置は、バスを介して揮発性記憶素子を共用するCPUと表示制御部、固定同期信号、可変同期信号を含み、前記CPUは可変同期信号によって同期を取って動作し、前記表示部は表示制御部を含み、固定同期信号によって同期を取って動作し、前記揮発性記憶素子は固定同期信号及び可変同期信号のいずれにも同期させないことで、表示制御部からの一定周期の前記揮発性記憶素子へのアクセスを安定的に行わせることを特徴とする。

【0015】

本発明に係る表示制御部は、表示データを記憶する揮発性記憶素子を有さず、前記揮発性記憶素子に前記表示データを記憶する。

【0016】

本発明に係る前記可変同期信号は、操作者の操作や着呼が一定期間無いと低周波数にし、低周波数の状態で操作者の操作や着呼があると高周波数に変化する。

【0017】

本発明に係る前記表示制御部は一定周期で自発的に前記揮発性記憶素子のデータを読み出す。

【0018】

本発明に係る前記表示部を照射する照射手段及び前記照射手段を制御する照射制御手段のうち、前記照射制御手段は一定期間経過後に照射手段の消灯を行う手段を含む。

【0019】

本発明に係る携帯電話装置の表示画面制御方法は、アプリケーション処理を行う通常処理ステップと、画面表示をリフレッシュする画面表示ステップと、外部入力の有無を判断する入力監視ステップと、前記入力監視ステップが外部入力アプリケーション処理を行う際の基準とする可変同期信号を変更する可変同期信号調整ステップと、前記通常処理ステップと前記画面表示ステップとが競合した時いずれが優先してバスを利用するか調整するアービトレーションステップとを含み、バスを介して前記画面表示ステップが揮発性記憶素子に記憶された表示データを利用して画面表示処理を行う。

【0020】

本発明に係るアービトレーションステップは、画面表示ステップ実行中入力監視ステップによって外部入力があったことを認識しても画面表示ステップを優先する。

【0021】

本発明に係るアービトレーションステップは、通常処理ステップ実行中画面表示ステップとの競合が発生したことを認識した場合画面表示ステップを優先する。

【0022】

本発明に係るアービトレーションステップは、画面表示ステップ実行中との通常処理ステップ競合が発生したことを認識した場合画面表示ステップを優先する。

【0023】

本発明に係る可変同期信号調整ステップは、可変同期信号が高速の際前記入力監視ステップが一定期間外部入力無きことを認識すると可変同期信号を低速にし、可変同期信号が低速の際前記入力監視ステップによって外部入力があったことを認識すると可変同期信号を高速にする。

【0024】**【発明の実施の形態】**

次に、本発明の実施の形態について図1から図3を参照して詳細に説明する。なお、本文において表示部を制御する信号を、ページヘッダ（表示データの先頭を意味する）、VSYNC（走査線の先頭を表す）、HSYNC（画素1ドット毎のデータを意味する）と記載している個所があるが、表示データの先頭を意味する信号をVSYNC、走査線の先頭を表す信号をHSYNC、画素1ドット毎のデータを意味する信号をピクセルクロックとする表記が一般的である。したがって、本文を読む際には注意されたい。

【0025】

図1は本発明に係る携帯電話装置の第1の実施の形態に係るブロック図である。なお本発明は画面表示に関するものであり、ベースバンド部、無線部、アンテナ部は周知の回路を使用するため、本図では省略している。

【0026】

CPU1は携帯電話装置の制御を行う箇所であり、ROM4からプログラムをバス2経由で読み出し、RAM3をワークエリアとして、携帯電話装置全体の制御を行う。また、割込信号線17から伝えられる割込要求信号に対応する形で、割込処理を実施する。

【0027】

バス2は、CPU1と他のモジュールとの間、モジュール同士でデータを送受信する為の共用インターフェイスである。バス2のコントロールを握ったモジュール（以下バスマスターと言う）はアクセス対象となるモジュール（以下スレイブと言う）に対し、バス2を介してデータの書き込み（読み出し）を行う。

【0028】

本発明ではCPU1と表示部コントローラ8がバスマスターになり得る。なおバス2の構成は同一のバス信号線をアドレス・データで共有しても良く、また、アドレス用の信号線とデータ用の信号線に分けても良い。更に、本発明においては、携帯電話装置の状況に応じてバスのクロックを低速にすることで電力を低減することを目的とするが、この際に変化させるクロック信号線（以下同期クロック）もバス2の中に含まれる。CPU1はこの同期クロックに同期して動作するが、同期クロックの変化に対応して動作する技術は周知に付き、本発明の構成ではその手法はこだわらない。産業上の利用分野は異なるが、Intel（インテル）社のSpeedStepテクノロジー（TM）で用いられている、CPUを動作させるクロックの変更はこれにあたる。なお、ここで述べる同期クロックは必ずしもすべてのモジュールに供給されるわけではなく、タイマ6や表示部コントローラ8といった同期クロックが可変ではその機能に支障をきたすものに対しては供給されず、ペリフェラルクロックによって動作するが、本図では表示部コントローラ8へ供給されるペリフェラルクロック信号20以外は省略している。

【0029】

RAM3はCPU1及び表示部コントローラ8のワークエリアとなる揮発性メモリであり、CPU1のワークエリアとしてや一時的なデータの格納に用いられる。RAM3は通常、同期クロックと同期することなく動作し、本発明においても同期の有無は問わない。

【0030】

ROM4はCPU1が実行するプログラムが静的に格納されているメモリであり、電源を供給しない若しくは極めて小さい電力でデータの内容を維持できるFlash ROMやEEPROMを適用することも可能である。

【0031】

割り込みコントローラ5は各デバイスからのH/W割込を管理し、現在実行されている処理よりも、処理順位の高い処理のリクエストが来た際には、割り込み要求信号をCPU1に対して出力する。

【0032】

タイマ6は携帯電話装置の動作時間の計測や、処理毎にカウントダウンするタイマ処理を行うモジュールである。特記なき限り、本発明の実施の形態では、タイマ6の動作前にタイマ6のレジスタに対し減算値を書き込んだ後、タイマ6を動かして減算値が0になった時に割り込み信号を割り込みコントローラ5を介してCPU1に発生させる。なおタイマ6に供給するクロックは一定でなければ、正確な時間を計算するため一定でなければならない。

【0033】

キーボードコントローラ7は入力されたキーボード14のキーの入力から入力データを導出すると共に、割り込みコントローラ5を介しCPU1に割り込み要求を行いCPU1からの読み出しに対し前記入力データを渡す役割を果たす。

【0034】

表示部コントローラ8は表示部10にペリフェラルクロックを供給し、これに同期するかたちで表示部10のリフレッシュを行う。またRAM3に記載された表示データを読み出し表示部10に表示データを出力する際の中継を行う。表示部コントローラ8はペリフェラルクロックに同期して動作する低速な表示部10を制御するため、表示部10同様低速のペリフェラルクロックで動作する。したがって、前述するタイマ6へ供給するクロックはペリフェラルクロックであることが望ましい。

【0035】

バックライトコントローラ9は表示部10を照射するバックライト11のOn

／Offを行う。実際の機器では表示部コントローラ9に含まれることが多い。バックライト11のOn／Offはバックライトコントローラ9内のレジスタを設定することで行う。

【0036】

表示部10は、携帯電話装置のステータス等を表示する箇所である。携帯電話装置では表示部10としてLCDが使われることが多く、本発明の実施の形態でもLCDを使用するものと想定する。表示部10は低速で動作するため、表示部コントローラ8からペリフェラルクロックの供給を受ける。

【0037】

バックライト11は表示部10たるLCDを照射し、操作者に表示部10の表示内容を操作者に明確に提示するためのものである。本発明の実施の形態では、CPU1がバックライトコントローラ9のレジスタ（図示せず）を操作することで直接的に点灯・消灯を操作する設計とする。

【0038】

表示部コントローラ8内のタイミング生成回路12は、ペリフェラルクロックを用いて、本図には記載しないページヘッダ信号71、垂直同期信号（VSYNC）72と水平同期信号（HSYNC信号）73を生成し、表示部10へ供給し、RAM3から送られる表示データの仲介を行う。

【0039】

表示部コントローラ8内のレジスタ13は、省電力モードまでの移行周期を表わすレジスタであり、本レジスタを参照して、CPU1は省電力モードへの移行動作を行う。なお、携帯電話装置はパーソナルコンピュータと異なり絶えず電力供給を受けていることを前提とするので、RAM3やROM4として使うFlash ROMに記憶内容を記憶させる際には特に必要ない。

【0040】

キーボード14はユーザーインターフェイスの1つであり、キー入力により、電話番号の入力等を行う。

【0041】

キーボード割込信号15とタイマ割込信号16は割込コントローラ5に入力さ

れ、実行中の処理順位より割り込みで要求される処理の方が高い処理順位であれば、割込コントローラ出力信号 17 を介して CPU 1 に割込信号が伝達される。

【0042】

バスクロックコントローラ 18 は、バスのマスター・スレーブの状況をコントロールするだけでなく、本発明では、CPU 1 等に、バス 2 の同期クロックを逡倍回路で周波数を上昇させ供給する。またバス 2 の占有権を CPU 1 か表示部コントローラ 8 のいずれが握っているかを調整するバスアービターに関する機能も含まれる。

【0043】

クロック 19 は携帯電話装置が動作している時に同期を取る為の基礎となるクロックである。本実施例においてはクロック 19 に低速な水晶発振子を利用し、これを逡倍して高周波数を作りだし通常モードにおける同期クロックとし、省電力モードでは逡倍比を落とすことで同期クロックを変化させるだけでなく、表示部 10 を動かすペリフェラルクロックにはクロック 19 の出力をそのまま使用する。他の手段としてクロック 19 に高周波数の水晶発振子を使用し、分周することで低速のペリフェラルクロックを作り出しても良く、いずれを選択するかは設計事項である。

【0044】

ペリフェラルクロック信号線 20 は、表示部 10 に供給されるペリフェラルクロックの供給信号線であり、これを基礎として、表示部コントローラ 8 が VSYNC や HSYNC を生成する。同期クロックが変化しても、このペリフェラルクロックは変化しない。したがって、タイマ 6 に供給するクロックとして使用可能である。

【0045】

ペリフェラルコントローラ 21 はタイマ 6、キーボードコントローラ 7、表示部コントローラ 8、バックライトコントローラ 9 を総称する呼称である。特に個別に記載する理由がない限り一括して表現される。

【0046】

バス・ビジー信号線 22 は、バス 2 が使用されているか否かを表わすバス・ビ

ジー信号を伝達する信号線であり、バスマスターと成りうるモジュールに対して伝達される。したがって、本実施例ではCPU1と表示部コントローラ8にバス・ビジー信号22は接続される。

【0047】

なお、本発明は必ずしも上記構成に拘泥するものではない。例えば、前述の表示部コントローラ8内のレジスタ13は特に動作に関係ないので、RAM3に書き込むことやROM4に静的に記憶しておくことも可能である。

【0048】

次に、図2を用いて、表示部コントローラ8のタイミング生成回路12の構成について説明する。なお、タイミング生成回路12は、表示部10同様低速のペリフェラルクロックで動作する。

【0049】

ページヘッダ比較器51はタイミング生成回路12の処理の開始を判断する内部モジュールであり、ペリフェラルクロック信号線20及びバス・ビジー信号線22が接続され入力される。また、ページヘッダ信号線71が表示部10と接続され、VSYNCマスク信号線56がVSYNC比較器52と接続される。

【0050】

ページヘッダ比較器51は入力されるペリフェラルクロック20をカウントし、一定時間が経過ごとに表示部10の表示を変更すべく、ページヘッダ信号線71にページヘッダ信号を出力する。またページヘッダ信号の立下りでVSYNCマスク信号線56上にVSYNCマスク信号を出力し、VSYNCマスク信号はVSYNC比較器52が出力するVSYNC信号の立下りのタイミングでリセットされる。

【0051】

VSYNC比較器52は表示部の1ライン毎に出力される垂直同期信号(VSYNC信号)を出力する内部モジュールである。本モジュールはペリフェラルクロックで同期動作を行う。ページヘッダ比較器51からVSYNCマスク信号線56が接続され、HSYNC比較器53へHSYNCマスク信号線57が出力される。

【0052】

VSYNCマスク信号線56がアクティブの際には、VSYNC信号線72を介してVSYNC信号を表示部10及びページヘッダ比較器51に出力する。またVSYNC信号の立下りタイミングで、HSYNCマスク信号線57を介してHSYNCマスク信号を出力する。

【0053】

HSYNC比較器53は表示部の1ドット毎に出力される水平同期信号を出力する内部モジュールである。本モジュールもペリフェラルクロック20で同期動作を行う。VSYNC比較器52からHSYNCマスク信号線57を入力し、表示部10及びアドレスデコーダ55に対しHSYNC信号線74を出力し、VSYNC比較器52にHSYNCマスキリセット信号線58を出力する。またHSYNC比較器53中にはHSYNC信号の出力回数をカウントするカウンタを内包する。

【0054】

HSYNCマスク信号線57がアクティブの際には、HSYNC信号線73を介してHSYNC信号を表示部10及びアドレスデコーダ55に出力する。HSYNC信号はVSYNC信号と異なり継続的に出力されるため、HSYNC比較器53中のカウンタが一定の値（表示部10の走査線1ラインのドット数）をカウントして初めてHSYNCマスク信号をリセットすべく、HSYNCマスキリセット信号線58を介してHSYNCマスク信号が出力する点でVSYNC比較器52と動作が異なる。

【0055】

データエンコーダ54はメモリから出力されたデータバスの値を、表示部10が読み込める形に変換をかけるモジュールである。本発明の第1の実施形態ではRAM3に格納されているデータは表示部10にそのまま送信することが可能な形で格納されているものとし、本モジュールでのデータ変換作業は行わない。

【0056】

アドレスデコーダ55はHSYNC比較器53から出力されるHSYNC信号をカウントし、そのカウンタの値からバス2に出力するアドレスを決定して、バ

ス 2 にアドレスをセットする役割を有する。ページヘッダ比較器 5 1 からページヘッダ信号線 7 1 が、H S Y N C 比較器 5 3 から H S Y N C 信号線 7 3 が入力され、アドレスバス 6 2 及び S C L 信号線 6 4、R W 信号線 6 5 をバス 2 に対して出力する。

【0057】

アドレスデコーダ 5 5 はページヘッダ信号の立ち上がりでアドレスバスに対してアドレスを出力する準備を行い、H S Y N C 信号の立ち上がりごとにアドレスバス 6 2 にアドレスをセットする。また H S Y N C 信号にインバータをかませ、それをメモリアクセスのタイミングとして S C L 信号線 6 4 上に出力する。

【0058】

V S Y N C マスク信号線 5 6 は、この信号線がアクティブの時に限り V S Y N C 比較器 5 1 に V S Y N C 信号の出力を許可するものである。この信号線はページヘッダ信号の立下りでアクティブになる。

【0059】

H S Y N C マスク信号線 5 7 は、この信号線がアクティブの時に限り H S Y N C 比較器 5 2 に H S Y N C 信号の出力を許可するものである。この信号線は V S Y N C 信号の立下りでアクティブになる。

【0060】

H S Y N C マスクリセット信号線 5 8 は、H S Y N C 信号が 1 ライン分出力されると出力される信号を伝達するための信号線である。なお、1 画面中の全画素のための H S Y N C 信号が出力した際には、本信号は出力されず、内部リセット信号 5 9 が出力される。

【0061】

内部リセット信号線 5 9 はページヘッダ信号のすべての処理が完了した際に、アドレスデコーダ 5 5 を初期化する信号のための信号線である。基本的には不要ではあるが、アドレスデコーダの誤動作防止のために設けている。

【0062】

データバス 6 1 はバス 2 のうち、データ信号を通すための信号線群であり、本実施例においては、データエンコーダ 5 4 で変換を行うことなくスルーで表示部

に対し出力される。

【0063】

アドレスバス 6 2 はバス 2 のうち、データ信号を通すための信号線群であり、H S Y N C 信号の立ち上がりでアクセスする R A M 3 のアドレスをセットする。

【0064】

S C L 信号 6 3 はこの信号がアクティブになっている時に、アドレスバス 6 2 に設定されたアドレスに基づいてデータを用意する旨、スレイブに伝達する信号のための信号線である。一見して、H S Y N C 信号線 7 3 を反転させただけに見えるが、アドレスバス 6 2 のセットを待って出力されるため、厳密には H S Y N C 信号線 7 3 を反転させただけではない。

【0065】

D A C K 信号線 6 4 はスレイブが発するデータの書き込み・読み出しタイミングを表す信号線であり、通常は H i g h L e v e l で安定している。S C L 信号線 6 4 を L o w L e v e l にして取得するデータのアドレスのセットを伝え、スレイブがデータバス 6 1 のセットを完了するとこの信号線に L o w パルス信号を発生させ、この立下りを、データバス上からバスマスターがデータを読み出すタイミングとする。

【0066】

R W 信号線 6 5 はスレイブに対して書き込み動作を行うか、読み出し動作を行うかを表す信号線であり、本実施例では、バスに対しては H i g h L e v e l で読み出しを行い、L o w L e v e l で書き込みを行う旨定義する。本信号線はインバータで反転された後、表示部 1 0 にも出力される。

【0067】

ページヘッダ信号線（ヘッダ信号線）7 1 はリフレッシュする画像の先頭を表すページヘッダ信号を伝達する信号線である。表示部 1 0 だけでなく、アドレスの変換の開始を表す信号として、アドレスデコーダ 5 5 に対してもページヘッダ信号を送るべくアドレスデコーダ 5 5 にも接続されている。

【0068】

V S Y N C 信号線 7 2 は、1 ラインのデータ送信の先頭を表す V S Y N C 信号

を表示部 10 に送るための信号線である。また、V SYNC 信号の出力で V SYNC マスク信号をリセットするため、ページヘッダ比較器 51 にも接続される。

【0069】

HSYNC 信号線 73 は、1 ドットごとのデータを読み出すタイミングを指示するために、表示部 10 に送る HSYNC 信号を伝達するための信号線である。HSYNC 信号線の入力によって、アドレスバス 62 に出力する値を変えるため、この信号線はアドレスデコーダ 55 にも接続される。

【0070】

表示データバス 74 は、バス 2 のデータバス 61 のデータ内容をデータエンコーダ 54 で変更した結果が出力される信号線であり、本実施例では特に変換作業はおこなわれなため、そのまま、データバス 61 のデータ内容が表示データバス 74 に出力される。

【0071】

図 3 は、図 2 で表したタイミング生成回路 12 のうち、ページヘッダ比較器 51、V SYNC 比較器 52 および HSYNC 比較器 53 の具体的構成の一例を表したものである。主な構成部品として、ページヘッダ比較器第 1 フリップフロップ 101、ページヘッダ比較器第 2 フリップフロップ 102、V SYNC 比較器第 1 フリップフロップ 103、V SYNC 比較器第 2 フリップフロップ 104、V SYNC 比較器第 3 フリップフロップ 105、HSYNC 比較器第 1 フリップフロップ 106、HSYNC 比較器第 2 フリップフロップ 107、HSYNC 比較器第 3 フリップフロップ 107 及びページヘッダカウンタ 81、HSYNC カウンタ 82 から構成される。

【0072】

図示しないページヘッダカウンタ 81 内のタイマが一定の周期になると、ページヘッダ比較器第 1 フリップフロップ 101 のデータ端子を High Level にセットし、ペリフェラルクロックの立ち上がりで、正出力端子が High Level にセットされる。ページヘッダ比較器第 1 フリップフロップ 101 のデータ端子がページヘッダ信号線 71 として導出されるほか、前述するページヘッダカウンタ 81 内のタイマをリセットする信号線として接続される。

【0073】

ページヘッダ比較器第1フリップフロップ101の正出力端子はページヘッダ比較器第2フリップフロップ102のデータ端子にも入力される。ページヘッダ比較器第2フリップフロップ102もページヘッダ比較器第1フリップフロップ101同様ペリフェラルクロックで同期動作を行っており、ページヘッダ比較器第1フリップフロップ101の正出力端子がHigh Levelにセットされた次のペリフェラルクロックの立ち上がりでHigh Levelにセットされる。

【0074】

ページヘッダ比較器第2フリップフロップ102は逆出力端子がLow Levelにセットされ、この信号線が前述するページヘッダ比較器内のタイマの出力とAND（論理積）をとり、ページヘッダ比較器第1フリップフロップ101の入力がLow Levelになり、次のペリフェラルクロックの立上りでページヘッダ比較器第1フリップフロップ101の正出力端子がLow Levelにセットされ、ページヘッダ信号がパルス上に出力される。これにより、前述するページヘッダ比較器内のタイマの出力端子をリセットするのにある程度の時間が確保でき設計の自由度があがる。

【0075】

VSYNC比較器第1フリップフロップ103はデータ端子がHigh Levelで吊るされており、ページヘッダ比較器第1フリップフロップ101の逆出力端子は、通常の状態ではHigh Levelが、ページヘッダ信号が出力される際にはLow Levelがセットされる。この出力端子の信号線をHSYNC比較器第1フリップフロップ106の逆出力端子とAND（論理積）をとり、VSYNC比較器第1フリップフロップ103のクロックとする。

【0076】

HSYNC比較器第1フリップフロップ106の逆出力端子と論理積を取るの
は、HSYNC信号が表示部の1ライン分出力された際の立下りのタイミングでVSYNC比較器第1フリップフロップ103をHigh Levelにするためである。

【0077】

ページヘッダ比較器第1フリップフロップ101の逆出力端子またはHSYNC比較器第1フリップフロップ106の逆出力端子は、双方とも通常はHigh Levelで安定し、イベントが発生するごとにLow Levelパルスが発生する。いずれかの信号線に信号が発生すると、その立ち上がりで、VSYNC比較器第1フリップフロップ103の出力端子がHigh Levelにセットされる。

【0078】

VSYNC比較器第1フリップフロップ103の正出力端子はVSYNC比較器第3フリップフロップ105の負出力端子と論理積を取って、VSYNC比較器第2フリップフロップ104のデータ端子に接続される。VSYNC比較器第2フリップフロップ104はペリフェラルクロックで同期して動作しており、データ端子がHigh Levelになった後のペリフェラルクロックの立ち上がりでVSYNC比較器第2フリップフロップ104の正出力端子はHigh Levelにセットされる。

【0079】

VSYNC比較器第2フリップフロップ104の正出力端子は、ペリフェラルクロックで同期動作するVSYNC比較器第3フリップフロップ105のデータ端子に接続される。VSYNC比較器第3フリップフロップ105のデータ端子がHigh Levelに設定されると、ペリフェラルクロックの次の立ち上がりでVSYNC比較器第3フリップフロップ105の正出力端子がHigh Levelに設定される。VSYNC比較器第3フリップフロップ105の正出力端子はVSYNC比較器第2フリップフロップ104の負出力端子と論理積が取られ、この論理積の結果が、VSYNC比較器第1フリップフロップ103のリセット端子に接続される。したがって、VSYNC比較器第3フリップフロップ105の正出力端子およびVSYNC比較器第2フリップフロップ104の負出力端子との双方がHigh Levelになると、High Level信号が発生し、その信号の立下りでVSYNC比較器第1フリップフロップ103はリセットされる。

【0080】

V SYNC比較器第2フリップフロップ104の正出力端子は、V SYNC信号線72として表示部10に接続される。またV SYNC比較器第2フリップフロップ104の正出力端子は、H SYNC比較器第1フリップフロップ106のタイミング端子にインバータで反転して接続される。また、H SYNC比較器第1フリップフロップ106のデータ端子はHigh Levelで接続されているため、V SYNC比較器第2フリップフロップ104の正出力端子立下りのタイミングでH SYNC比較器第1フリップフロップ106の正出力端子はHigh Levelにセットされる。また、

H SYNC比較器第1フリップフロップ106の正出力端子は、H SYNC比較器第3フリップフロップ108の負出力端子と論理積を取ってH SYNC比較器第2フリップフロップ107のデータ端子に接続される。

【0081】

H SYNC比較器第2フリップフロップ107はペリフェラルクロックで同期動作するフリップフロップであり、H SYNC比較器第2フリップフロップ107のデータ端子がHigh Levelになると、次のペリフェラルクロックの立ち上がりでH SYNC比較器第2フリップフロップ107の正出力端子はHighにセットされる。H SYNC比較器第2フリップフロップ107の正出力端子はH SYNC信号線73として表示部10に接続される。

【0082】

H SYNC比較器第3フリップフロップ108はH SYNC信号線が反転されてリセット端子につながれたフリップフロップで、クロック端子にはバスからのDACK信号線64を、データ端子はHigh Levelに固定して接続する。フリップフロップの逆出力端子はH SYNC比較器第1フリップフロップ106の正出力端子と論理積を取ってH SYNC比較器第2フリップフロップ107のデータ端子に接続される。

【0083】

次に、実際の動作について図4および図5を用いて説明する。

【0084】

図 4 は、操作者が携帯電話装置の電源を立ち上げ後一定期間放置し携帯電話装置が省電力モードになるまでの外部から見た本発明の処理を表わすフローチャートである。

【0085】

操作者が電源を投入すると、携帯電話装置は起動処理を行う（S401）。この起動処理には、ROM4からのプログラムの読み出しやRAM3のリフレッシュ、割込コントローラ5及びタイマ6の初期化と合わせて、表示部10に関連してバスクロックコントローラ18に記録された省電力モードへ移行するまでの「減算値」の読み出しとレジスタ13へ通倍比「n」の書き込みなどを含む。この際、nは2以上の整数であれば、設計者の任意の値で良い。但し、図には記載していないベースバンド部や無線部の動作については、通信プロトコルとの関係で動作クロックを固定にしておくべきであろう。

【0086】

その後一定時間放置すると、タイマ6に書き込まれた減算値が0になることでタイマ6はタイマ割り込みを発生させ、割込コントローラ5を介してCPU1に割込信号を発生させる（S402）。CPU1は割込信号を受けると割込コントローラ5に要求の処理が何かを問い合わせ、割込信号がタイマ6からの要求であることを理解すると、それが省電力モードへの移行である旨判断する。

【0087】

省電力モードへの移行を検知すると、CPU1はバックライトコントローラ9に消灯を指示し、バックライト11は消灯される。その後、CPU1はバスクロックコントローラ18に対し、バス2の同期クロックを低下させるべくコマンドをバスクロックコントローラ18に対して送る（S403）。コマンドを受取ると、バスクロックコントローラ18は通倍比「n」を徐々に低下させて、最終的には「n」を1にするよう処理をする。

【0088】

なお表示部コントローラ8がバス2を経由してRAM4にアクセスしていれば、その処理が終わるのを待ってCPU1がバスクロックコントローラ18にアクセスするよう表示部コントローラ8の処理順位を最上位にすれば、表示部の読み

出しを邪魔することなく画面がちらついたりすることなくバス 2 の同期クロックを変更することができる。

【0089】

移行が完了すると、バス 2 の同期クロックはシステムクロック 19 の周波数そのものの、即ちペリフェラルクロックと同じとなり、以後バスの動作は低速に行われる。

【0090】

本発明の実施の形態では、システムクロック 19 を「n」から 1 の範囲で通倍して CPU 1 等に同期クロックとして供給しているが、通倍比を 1 に落した際、バス 2 に供給している同期クロックを CPU 1 や RAM 3 等にも供給すると、システム全体の同期クロックが低下し、高い節電効果が得られる。

【0091】

図 4 は電源を立ち上げた際の動作を表わしているが、同様に通話終了後やメール送信後に放置した場合にも S 401 のタイマに省電力モードに移行するまでの減算値を入力してから S 402 以降の動作を行うことで省電力モードに移行する設計にすることで、さらに省電力で動作させることもできる。

【0092】

図 5 は逆に、省電力モードから通常の動作モードに移行する際の一例を表わすフローを示す。

【0093】

バックライト 11 が消灯状態、バス 2 の同期クロックがシステムクロック 19 の通倍比 1 の省電力モードで動作している時に、操作者がキーボード 14 のキーを入力すると、キーボードコントローラ 7 が割込コントローラ 5 を介して CPU 1 に割り込み要求を発生する (S 501)。

【0094】

割り込み信号を受け取ると、CPU 1 は割込コントローラ 5 に割り込み処理の内容をバス経由で確認し、キーボード 14 からの入力があったことを確認する。キーボード 14 からの入力処理に先立ち、CPU 1 は動作モードの確認を行い、低速モードである事を確認したら、図 2 の場合と同様に、コマンドをバスクロック

クコントローラ 18 に対して送る (S502)。

【0095】

モードの変更に際して、バスクロックコントローラ 18 は、書き込まれた n に分周比を戻すべく、徐々に通倍比を上げ、最終的には通常モードの通倍比「 n 」に移行する。

【0096】

なお、図 3 ではユーザーのキー入力によって通常モードへの復帰を行っていたが、着呼やメールの着信によっても、同様に動作モードを通常モードに復帰させることが可能である。

【0097】

また動作モードの変更に当たってはコマンドを送る旨、図 2 及び図 3 の説明で述べたが、バスクロックコントローラ 18 にレジスタを設け、そのレジスタに書き込む事で通倍比を変更させていく方法を取ってもよい。

【0098】

なお、図 4 および図 5 にかかわる通倍回路（もしくは分周回路）および通倍比率を変化する方法は周知であり、かかる回路図については省略する。また通倍率（もしくは分周率）を変化させている際には、バス 2 へのアクセスは行わないようにすると設計が容易ではあるが、携帯電話装置の高速性を担保する場合には、バス 2 に接続するデバイスの誤動作を防止する対策を行って、アクセスを行うようにしても良い。

【0099】

図 6 および図 7 は本実施例における表示部コントローラ 8 の周辺の信号線の動作を表すタイミングチャートである。本タイミングチャートでは、同期クロックがペリフェラルクロックと等価になっており、省電力モードになった状態である。

【0100】

図 6 は一定周期が経過して表示部 10 をリフレッシュする際のタイミングチャートである。

【0101】

バスビジー信号 2 2 が、バスが他のデバイスによって占有されていないことを表していると（本図では L o w）、R W 信号線 6 5 は読み出しを表す H i g h にセットする。この際、表示部にはインバータで反転して、本信号線を出力し読み出しを指示しデータの読み出し開始する。本図では、すでにこの状態になったところからスタートする。

【0 1 0 2】

タイミング生成回路 1 2 はヘッダ信号線 7 1 にヘッダ信号を出力することで表示部 1 0 に描画データの送信を行う旨伝達する。この信号は図 3 におけるページヘッダ比較器第 1 フリップフロップ 1 0 1 の正出力端子を意味する。

【0 1 0 3】

ヘッダ信号の立下りで V S Y N C マスク信号（図 3 における V S Y N C 比較器第 1 フリップフロップ 1 0 3 の正出力端子）が H i g h L e v e l にセットされる。この信号が H i g h L e v e l にセットされた後、次のペリフェラルクロックの立ち上がりで、V S Y N C 信号線 7 2 がセットされる。

【0 1 0 4】

V S Y N C 信号 7 2 が立ち上がってから 2 クロック後に、V S Y N C 信号は立ち下がる。その、立下りをトリガーとして、内部 V S Y N C マスク信号を L o w L e v e l に戻すとともに、H S Y N C マスク信号（H S Y N C 比較器第 1 フリップフロップ 1 0 6 の正出力端子）を H i g h L e v e l にセットする。

【0 1 0 5】

H S Y N C マスク信号が H i g h L e v e l にセットされた次の同期クロックの立ち上がりで、H S Y N C 信号 7 3 が表示器 1 0 およびアドレスデコード 5 5 に対して出力される。アドレスデコード 5 5 はこの信号の立ち上がりでアドレスバス 6 2 にアドレスをセットした後、この信号を反転させて S C L 信号線 6 4 に出力することでバス 2 に接続された R A M 3 にアドレスバス 6 2 のセットが終了したことを表す。したがって、アドレスバス 6 2 のセットが終わるまで、S C L 信号線 6 4 はマスクしておくことが望ましい。R A M 3 はセットされたアドレスに従いデータバス 6 1 にデータをセットすると、D A C K 信号線 6 4 にパルス信号を発生させる。D A C K 信号線のこのパルス信号は、そのまま表示器 1 0 に

セットされ、この信号の立ち上がりで表示部 10 はデータを読み出し、次のペリフェラルクロックの立ち上がりで HSYNC 信号を Low にセットしその結果が SCL 信号 64 に反映される。

【0106】

図 7 は表示部 10 の 1 ライン分のデータが出力された後、次の 1 ライン分のデータを表示部 10 に出力する際のタイミングチャートである。

【0107】

1 ラインの最後の HSYNC 信号 73 の立下りで HSYNC マスク信号が Low Level に、VSYNC マスク信号が High Level にセットされる。これに伴い、

次のペリフェラルクロックの立ち上がりで、VSYNC 信号線 72 に VSYNC 信号が出力される。以降は、図 6 と同様に動作する。

【0108】

上記のルーチンにより表示部コントローラ 8 は、RAM 3 のデータを読み出し表示部 10 に表示データの出力を行うが、バスマスターたる表示部コントローラ 8 が固定されたペリフェラルクロックで動作すること、及びスレイブたる RAM 3 はクロック非同期で動作するため、同期クロックの状態にかかわらず安定して動作する。したがって、CPU 1 等を動作させるバス 2 の同期を低下させることで消費電力の低減が期待できる。

【0109】

次に CPU 1 がバス 2 にアクセスする機会を減らし、更に電力の低減を図るべく配慮した本発明の第 2 の実施例について図 1 に従い説明する。

【0110】

図 1 のバックライト 11 は一定の時間放置すると、消灯するのが一般的な携帯電話装置の構成部品である。バックライト 11 の消灯にあたっては、バックライトコントローラ 9 の有するレジスタにデータをセットすることで行うことが一般的である。

【0111】

このような構成でバックライト 11 の上記消灯処理を行おうとすると以下のよ

うな処理になる。すなわち、タイマ6に消灯までの時間をセットしてタイマの動作を開始し、一定時間経過後タイマ6による割込信号が発生するのを受け、CPU1がバックライトコントローラ9のレジスタにデータをセットして消灯を行うといった手順である。

【0112】

しかし、かかる構成を取ると、CPU1がバス2を介して動作を行うこととなるため、電力消費の面で不利である。また、割り込み処理の対象が増えソフトウェアの設計上でも問題がある。

【0113】

そこで、バックライトコントローラ9に専用のタイマを設け、当該タイマのカウント終了によって、自発的にバックライト11を消灯することでCPU1への不要な割り込みの発生及びそれに伴う現在行っている処理の退避を減少させ、電力の消費量を低減することを可能にする。特に不使用時に、マスクすることで同期クロックの供給を停止させる等で前述のバックライトコントローラ9内のタイマ動作を停止させれば、タイマ自体による電力の消費も防ぐことが可能である。更に前記レジスタに書き込むバックライト11の点灯支持した際に、同時に前記同期クロックのマスクを解除するようにすれば、ソフトウェア的にも負荷を増すことは無い。

【0114】

同様に、表示部コントローラ内に8内に専用のタイマと表示部10の動作の可否を指示する内部レジスタを設け、当該タイマのカウント終了によって、自発的に表示部10を停止させることで、バス2へのアクセス回数を低下させ、電力消費量を低減させることも可能である。表示部10の表示の再開は、図5の場合と同様に、着呼やキー入力が行われた際の割込発生時の処理でCPU1に表示部コントローラの前述する内部レジスタにアクセスすることで、表示状態に回復させてやれば良い。

【0115】

【発明の効果】

本発明によれば、動作状況に応じてCPU等の同期クロックを変更する携帯電

話において、CPUが用いるRAMを表示部が共用することで原価の高騰を防ぐとともに、CPUと異なり、一定なクロックを表示部等に供給しそれを基準に表示部の動作をさせる一方で、RAMはクロック同期を取らずに動作するため、消費電力量の低減と安定した表示部の動作を行うことが可能となる。

【0 1 1 6】

また、バスに接続される表示部やバックライトの制御部品にタイマを装備し、タイマが一定の値をカウントすると、CPUとの通信を行わずに自発的に表示部やバックライトの動作を停止させることで、CPUがバスを利用する機会を減らし、消費電力の低減を図ることができる。

【図面の簡単な説明】

【図 1】

本発明に係る携帯無線装置の実施の形態を表わすブロック図である。

【図 2】

本発明に係る携帯無線装置のタイミング生成回路の構成を表すブロック図である。

【図 3】

本発明に係る携帯無線装置のタイミング生成回路のうち、具体的構成の一例を表す回路図である。

【図 4】

本発明に係る携帯電話装置で電源を投入してから省電力モードに移行するまでを表したフローチャートである。

【図 5】

本発明に係る携帯電話装置で省電力モードにおいてキー入力後通常モードに移行するまでを表したフローチャートである。

【図 6】

表示部にデータの送信を行う際のタイミング生成回路に入出力する信号線の動作を表したタイミングチャートである。

【図 7】

表示部に 1 ライン分のデータの送信を行った後、次の 1 ライン分のデータを送

る際のタイミング生成回路に入出力する信号線の動作を表したタイミングチャートである。

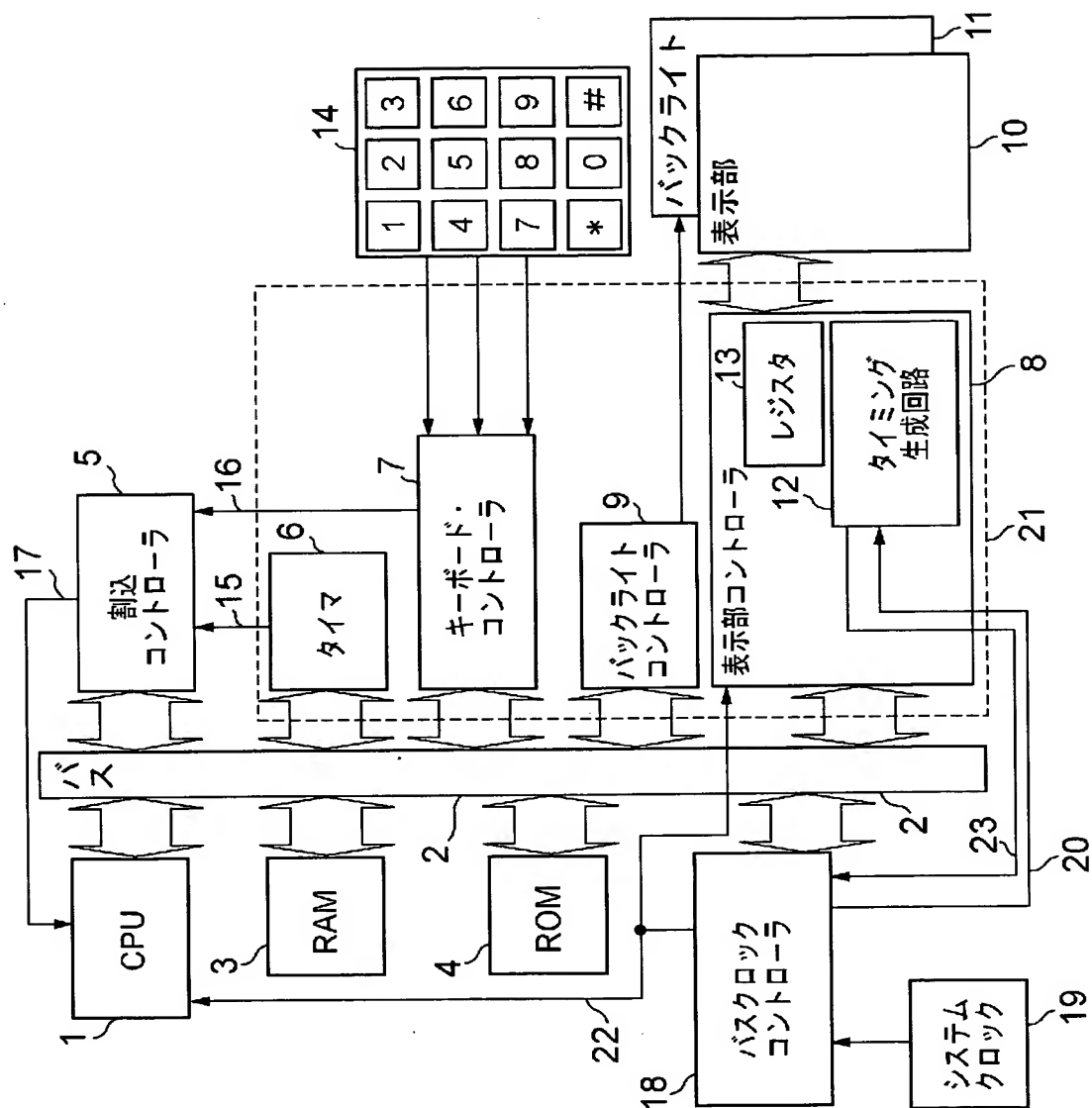
【符号の説明】

1. CPU
2. バス
3. RAM
4. ROM
5. 割込コントローラ
6. タイマ
7. キーボード・コントローラ
8. 表示部コントローラ
9. バックライトコントローラ
10. 表示部
11. バックライト
12. タイミング生成回路
13. レジスタ
14. キーボード
15. タイマ割込信号
16. キーボード割込信号
17. 割込コントローラ出力信号
18. バスクロックコントローラ
19. システムクロック
20. ペリフェラルクロック信号線
21. ペリフェラルコントローラ
22. バス・ビジー信号線
51. ページヘッダ比較器
52. VSYNC比較器
53. HSYNC比較器
54. データエンコーダ

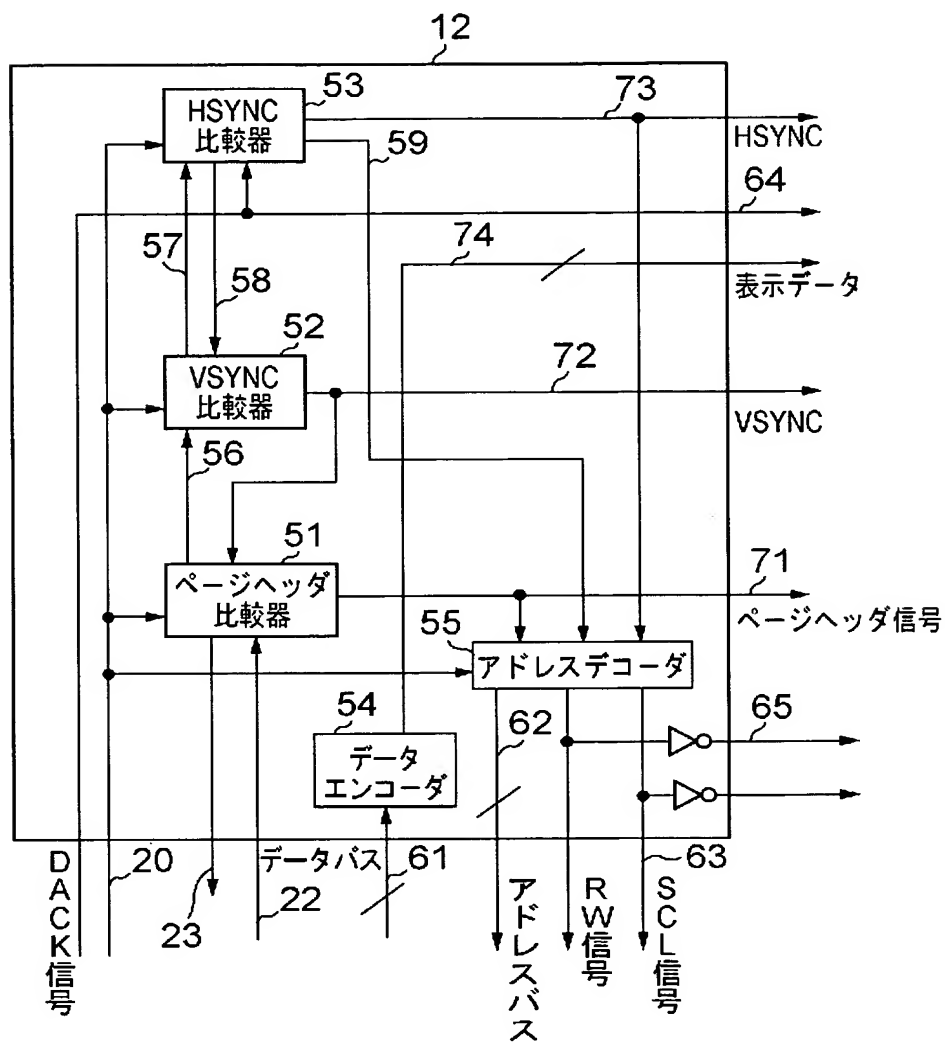
- 55. アドレスデコーダ
- 56. VSYNCマスク信号線56
- 57. HSYNCマスク信号線57
- 58. HSYNCマスキリセット信号線
- 59. 内部リセット信号線
- 61. データバス
- 62. アドレスバス
- 63. SCL信号線
- 64. DACK信号線
- 65. RW信号線
- 71. ページヘッダ信号線
- 72. VSYNC信号線
- 73. HSYNC信号線
- 74. 表示データバス
- 81. ページヘッダカウンタ
- 82. HSYNCカウンタ
- 101. ページヘッダ比較器第1フリップフロップ
- 102. ページヘッダ比較器第2フリップフロップ
- 103. VSYNC比較器第1フリップフロップ
- 104. VSYNC比較器第2フリップフロップ
- 105. VSYNC比較器第3フリップフロップ
- 106. HSYNC比較器第1フリップフロップ
- 107. HSYNC比較器第2フリップフロップ
- 108. HSYNC比較器第3フリップフロップ

【書類名】 図面

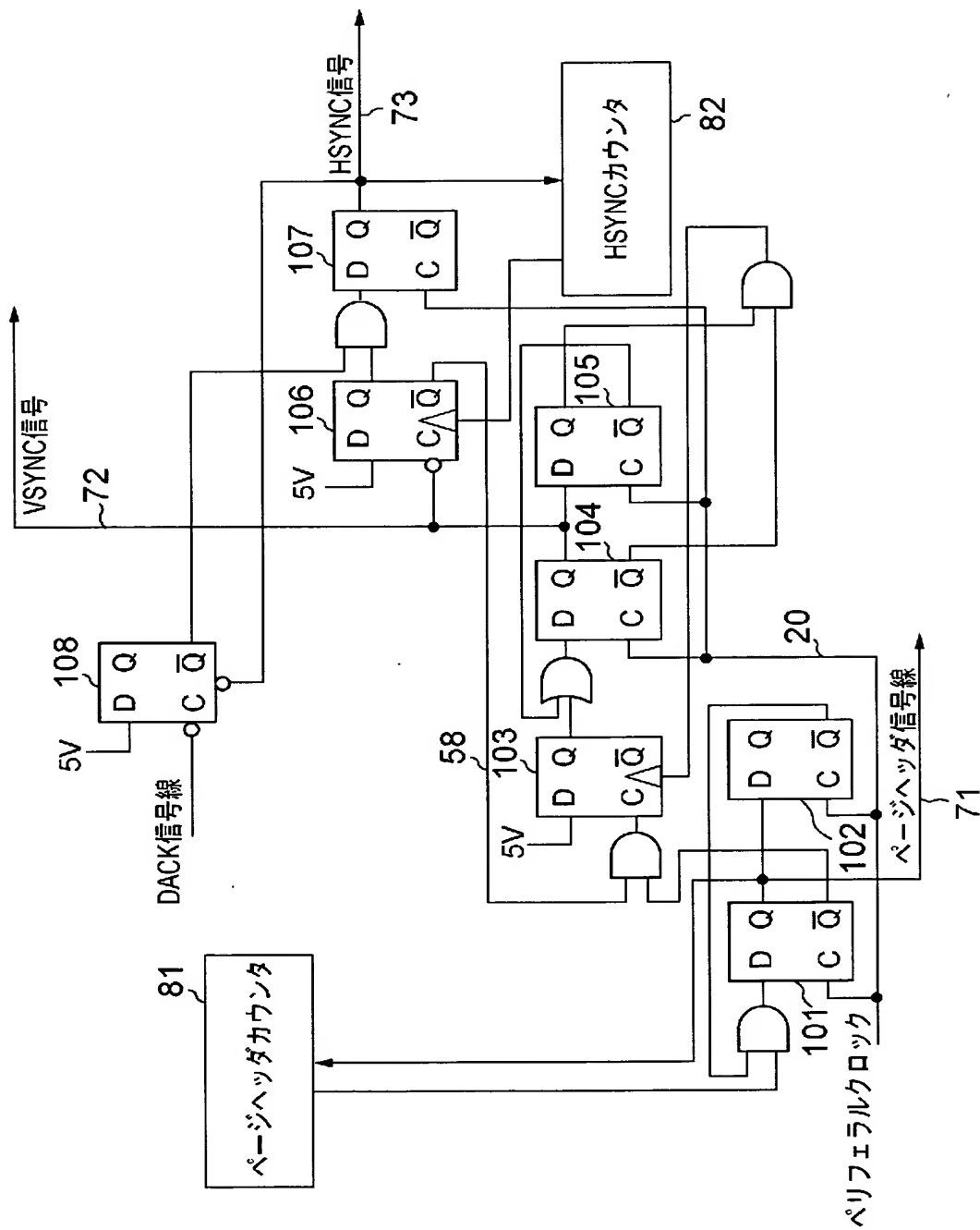
【図 1】



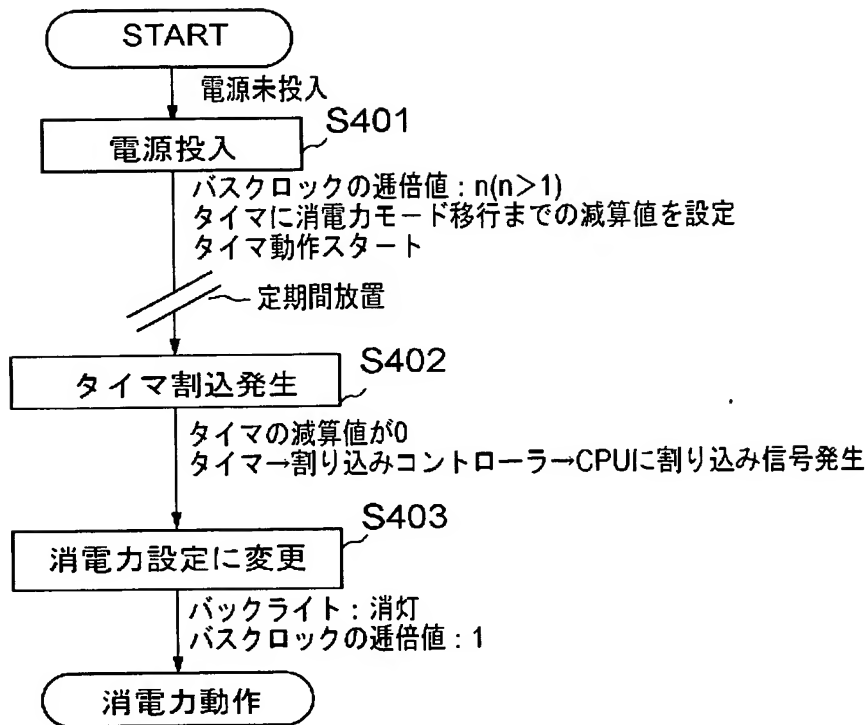
【図 2】



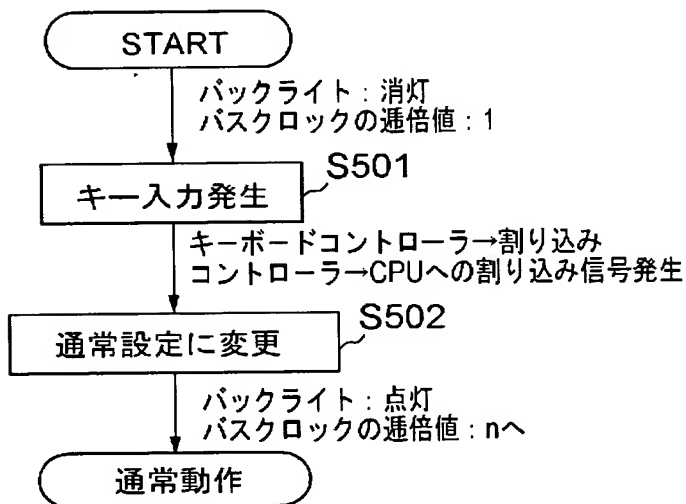
【図 3】



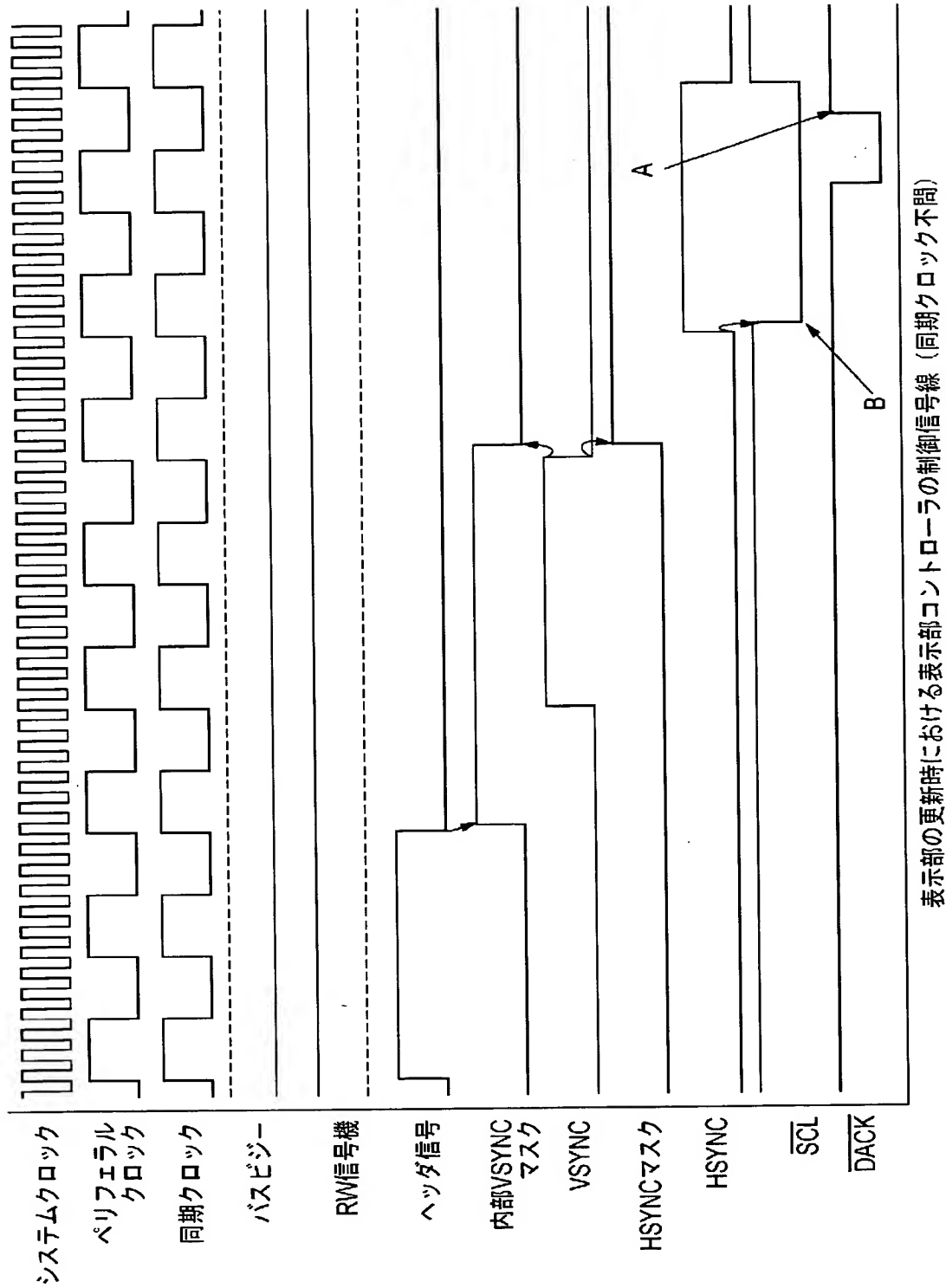
【図 4】



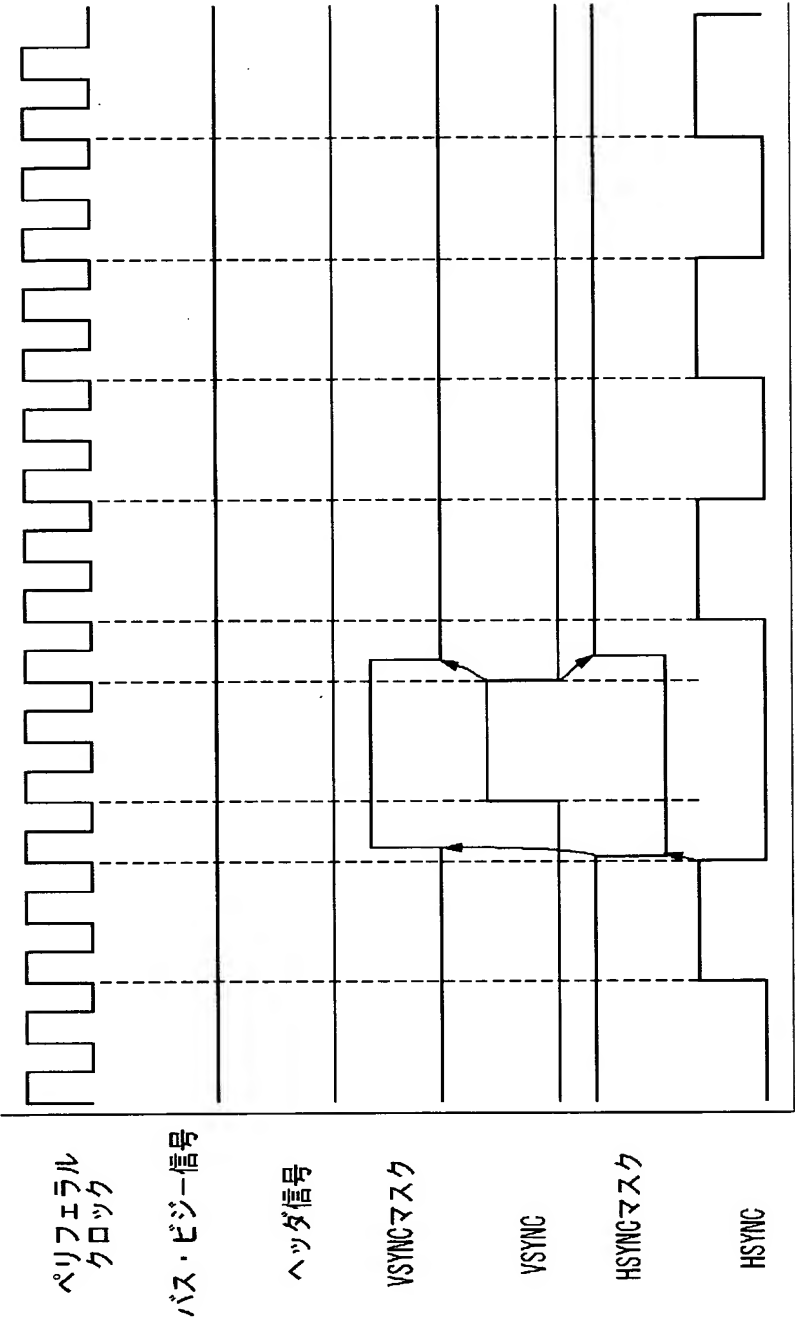
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 携帯情報端末の表示部の動作クロックを低下させ、低速クロックによりバス経由でメモリにアクセスすることで消費電力を低減する手段を提供する。

【解決手段】 CPU 1 と表示部コントローラ 8 がバスを介して RAM 3 を共有する携帯電話装置に対し、一定時間無制御状態が継続すると、割り込み処理によって CPU 1 の動作クロックを通常のものから表示部 1 0 を動作させる低速なペリフェラルクロックに変更することで、何らの処理も行わない時における CPU 1 の動作による消費電力を低下させる一方、表示部 1 0 への画面のリフレッシュは通常どおりに行わせることで、表示部 1 0 は通常どおりに表示を行わせることを可能にする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 5 6 5 4 5
受付番号	5 0 2 0 1 3 0 6 3 6 8
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】	平成14年 9月 2日
-------	-------------

次頁無

特願 2002-256545

出願人履歴情報

識別番号

[000004237]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社